

CERTIFIED COPY OF  
PRIORITY DOCUMENT

日本国特許庁  
JAPAN PATENT OFFICE



CF015824 VS/sei  
Appn. No. 09/96074  
Filed - 09-24-2001  
Group - 2824

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2001年 8月21日

出願番号

Application Number:

特願2001-250124

出願人

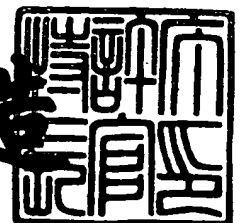
Applicant(s):

キヤノン株式会社

2001年10月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3092033

【書類名】 特許願

【整理番号】 4427003

【提出日】 平成13年 8月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/15

【発明の名称】 磁性薄膜メモリ装置およびその駆動方法、情報機器

【請求項の数】 9

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 関口 芳信

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

    【電話番号】 03-3585-1882

【選任した代理人】

    【識別番号】 100106297

    【弁理士】

    【氏名又は名称】 伊藤 克博

【選任した代理人】

    【識別番号】 100106138

    【弁理士】

    【氏名又は名称】 石橋 政幸

【手数料の表示】

    【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁性薄膜メモリ装置およびその駆動方法、情報機器

【特許請求の範囲】

【請求項 1】 膜面垂直方向に磁化容易軸を有する 2 つの磁性層と、該各磁性層に挟まれた絶縁層とから構成される垂直 TMR（トンネル磁気抵抗型）素子が、基板上に配置されている磁性薄膜メモリ装置において、

前記垂直 TMR 素子の積層方向に前記垂直 TMR 素子と重ならない位置に、前記垂直 TMR 素子の面内方向に平行に配線され、双方向に電流を流すための駆動回路が接続された第 1 の書き込み線と、

前記垂直 TMR 素子の直上あるいは直下に、前記垂直 TMR 素子の面内方向に平行に配線され、電流を流すための駆動回路が接続された第 2 の書き込み線と、

前記垂直 TMR 素子に情報を記憶する際には、前記第 1 の書き込み線に電流を流すとともに、前記第 2 の書き込み線にも電流を流す制御手段とを備えることを特徴とする磁性薄膜メモリ装置。

【請求項 2】 前記第 1 の書き込み線と前記第 2 の書き込み線とは、互いに交差するように、かつ交差点では絶縁層によって電氣的に絶縁されるように配線され、前記第 1 の書き込み線は、前記第 2 の書き込み線よりも前記基板側に配線されている請求項 1 記載の磁性薄膜メモリ装置。

【請求項 3】 前記第 1 の書き込み線は、前記垂直 TMR 素子とほぼ同一平面に配線されている請求項 1 または 2 記載の磁性薄膜メモリ装置。

【請求項 4】 前記第 1 の書き込み線は、前記垂直 TMR 素子の下部磁性層の底面より下側、あるいは、上部磁性層の上面より上側に配線されている請求項 1 または 2 記載の磁性薄膜メモリ装置。

【請求項 5】 前記第 2 の書き込み線がビット線であることを特徴とする請求項 1 から 4 のいずれか 1 項記載の磁性薄膜メモリ装置。

【請求項 6】 前記メモリセルが前記基板上にマトリクス状に複数配置され、前記第 1 の書き込み線が前記マトリクスの各行毎に配線され、前記第 2 の書き込み線が前記マトリクスの各列毎に配線されている請求項 1 から 5 のいずれか 1 項記載の磁性薄膜メモリ装置。

【請求項 7】 前記各磁性層は、希土類のガドリニウム（G d）、テルビウム（T b）、ジスプロシウム（D y）のいずれかを含むフェリ磁性材料で構成されている請求項 1 から 6 のいずれか 1 項記載の磁性薄膜メモリ装置。

【請求項 8】 膜面垂直方向に磁化容易軸を有する 2 つの磁性層と、該各磁性層に挟まれた薄膜絶縁層とから構成される垂直 TMR（磁化トンネル磁気抵抗型）素子が、基板上に配置されている磁性薄膜メモリ装置の駆動方法において、

前記垂直 TMR 素子の積層方向に前記垂直 TMR 素子と重ならない位置に、前記垂直 TMR 素子の面内方向に平行に配線された第 1 の書き込み線に双方向の電流を流すことによって前記垂直 TMR 素子の積層方向に磁界を印加すると同時に

前記垂直 TMR 素子の直上あるいは直下に、前記垂直 TMR 素子の面内方向に平行に配線された第 2 の書き込み線に電流を流し、前記垂直 TMR 素子の面内方向に磁界を印加することを特徴とする磁性薄膜メモリ装置の駆動方法。

【請求項 9】 請求項 1 から 7 のいずれか 1 項に記載された磁性薄膜メモリ装置を内蔵メモリとして搭載する情報機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、磁化の向きによって情報を記憶し、磁気抵抗効果によって再生する磁気抵抗素子（磁気薄膜メモリ素子とも呼ばれる）を用いた磁性薄膜メモリ装置およびその駆動方法に関する。

【0 0 0 2】

【従来の技術】

磁気薄膜メモリは、半導体メモリと同じく稼動部を有しない固体メモリである。磁気薄膜メモリは、半導体メモリと比較した場合に、電源の供給が断たれても記憶した情報が失われることがなく、情報の繰り返し書き換え回数が無限回であり、放射線が入射しても記憶内容が消失する危険性がないなどの、様々な有利な点を有する。

【0 0 0 3】

強磁性トンネル接合素子を利用した磁気薄膜メモリ素子は、2つの強磁性層の間に数nm厚の薄い絶縁体からなるトンネル障壁層を挟んだ積層構造となっている。この素子では、強磁性層間に一定の電流を流した状態で強磁性層面内に外部磁界を印加すると、両磁性層の磁化の相対角度に応じて抵抗値が変化する磁気抵抗効果現象が現われる。ここで、両磁性層の磁化の向きが平行である場合には抵抗値は最小となり、反平行である場合には抵抗値は最大となる。また、両磁性層に保磁力差を付与することによって、磁界の強さに応じて磁化の平行、反平行状態を実現できるため、抵抗値の変化による磁化状態の検出が可能となる。

## 【0004】

近年、トンネル障壁層にアルミニウム（Al）の表面酸化膜を用いることによって、20%近い磁気抵抗変化率を示す強磁性トンネル接合素子が得られるようになったことから、それらの磁気ヘッドや磁気メモリへの応用の可能性が高まってきた。Alの表面酸化膜の大きな磁気抵抗変化率を報告している代表例としては、「Journal of Applied Physics（ジャーナル・オブ・アプライド・フィジックス）」（79巻、4724～4729頁、1996年4月）がある。

## 【0005】

これらの磁気抵抗素子は、薄い絶縁層をフェロ磁性体であるNiFe、CoFeで挟んだ構成となっており、その磁化方向は膜の面内にある。このような構成を面内磁化TMR（トンネル磁気抵抗型）構成という。面内磁化TMR構成では、大容量、高密度集積化のためにメモリセルの面積を小さくするにつれて、磁性層内部に生じる反磁界（自己減磁界）を無視することができなくなり、記憶保持する磁性層の磁化方向が一方向に定まらず不安定になってしまうという問題があった。

## 【0006】

そこで、高集積化可能な磁性薄膜メモリ素子を実現するために、低い保磁力を有する垂直磁化膜から成る第1磁性層と、高い保磁力を有する垂直磁化膜から成る第2磁性層とが、非磁性層を介して積層されてなる磁気抵抗膜で構成されるメモリ素子が、特開平11-213650号公報に開示されている。

## 【0007】

このメモリ素子では、第1磁性層の磁化方向と、第2磁性層の磁化方向が垂直方向で同じ向きである場合（単に平行という。）と、第1、第2磁性層の磁化方向は垂直であるが、逆向きの場合（単に反平行という。）とでは、磁気抵抗膜の抵抗値が異なる。このメモリ素子に情報を記憶する際には、第1、第2磁性層のうち、少なくとも一方の磁性層（メモリ層）の磁化方向を反転するのに十分な、膜面に垂直な磁界を印加することが必要であり、この垂直磁界を電流で誘起するためには、図4に示すように、書き込み線がメモリセルとほぼ同一平面に形成したほうが良い。マトリックス状に配置された多数のメモリセルの中から特定のメモリを書き込む場合には、書き込み線を各メモリセル間に縦横に配線し、そのメモリセルに同じ方向磁界を与えるような電流を、特定のメモリセル近傍を流れる2本の縦横の書き込み線に流せばよい。

#### 【0008】

このような書き込み線は、前述のように、メモリセルとほぼ同一平面に配線された方が良いため、磁性薄膜メモリ装置では、書き込み線を配線するためのスペースが必要となる。また、メモリセルに記憶された情報を読み出す場合には、メモリセルに電氣的に接続された2本の読み出し線のマトリックス配線が必要となるため、これらの配線に必要なスペースも必要となる。そのため、これらの配線に要する面積が、磁性薄膜メモリ装置の高集積化の弊害の1つとなっている。

#### 【0009】

また、これらの磁性薄膜メモリが消費する電力の大部分は、情報を記憶するための書き込み線に流す電流によるものであり、磁性薄膜メモリの低消費電力を実現するためには、この書き込み線に流す電流を小さくすることが必要となる。

#### 【0010】

##### 【発明が解決しようとする課題】

以上述べたように、従来の磁性薄膜メモリ装置では、以下に示す問題点を有する。

- (1) 2本の書き込み線および2本の読み出し線の配線スペースのため、高集積化に限界がある。
- (2) 書き込み線に流す電流が大きいため、低消費電力化に限界がある。

【 0 0 1 1 】

本発明は、高集積化、低消費電力化を図ることができる磁性薄膜メモリ装置を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記課題を解決するために、本発明は、膜面垂直方向に磁化容易軸を有する2つの磁性層と、該各磁性層に挟まれた薄膜絶縁層とから構成される垂直TMR（磁化トンネル磁気抵抗型）素子が、基板上に配置されている磁性薄膜メモリ装置において、

前記垂直TMR素子の積層方向に前記垂直TMR素子と重ならない位置に、前記垂直TMR素子の面内方向に平行に配線され、双方向に電流を流すための駆動回路が接続された第1の書き込み線と、

前記垂直TMR素子の直上あるいは直下に、前記垂直TMR素子の面内方向に平行に配線され、電流を流すための駆動回路が接続された第2の書き込み線と、

前記垂直TMR素子に情報を記憶する際には、前記第1の書き込み線に電流を流すとともに、前記第2の書き込み線にも電流を流す制御手段とを備える。

【 0 0 1 3 】

本発明の磁性薄膜メモリ装置では、情報を記憶する際には、垂直TMR素子に第1の書き込み線によって垂直方向の磁界を与えると同時に第2の書き込み線によって面内方向の磁界を与える。

【 0 0 1 4 】

図5は、垂直磁気異方性を有する磁性層に対して、外部磁界を垂直方向および面内両方向から印加した際に、磁性層の垂直方向を向いている磁界の向きを反転させるのに必要な磁界の大きさを表すグラフである。図5の縦軸は、垂直磁気異方性を有する磁性層の磁化方向を反転するのに必要な垂直磁界の大きさであり、横軸は、同時に印加する膜の面内方向の磁界である。

【 0 0 1 5 】

図5に示すように、垂直磁界の印加と同時に面内磁界を磁性層に印加した場合には、面内磁界を印加しない場合に比べて、磁性層の磁化を反転するのに必要な



垂直磁界の大きさを大幅に低減することができることがわかる。

【0016】

また、垂直磁界の印加と同時に面内磁界を磁性層に印加した場合には、垂直磁界を単一で印加するよりも、磁化反転に必要な垂直磁界、面内磁界の合計を大幅に小さくすることができる。つまり、本発明の磁性薄膜メモリ装置では、垂直、面内磁界を同時に印加することによって、書き込み線に流す電流が大幅に低減され、低消費電力を実現することができる。

【0017】

また、本発明の磁性薄膜メモリ装置では、面内磁界を発生するための第2の書き込み線は、メモリセルの上部あるいは下部に積層されるため、この書き込み線の配線は、磁性薄膜メモリ装置の高集積化の妨げにはならない。

【0018】

また、本発明の磁性薄膜メモリ装置では、前記第2の書き込み線は、前記垂直TMR素子の一方の端子に電氣的に接続され、

1つの前記垂直TMR素子と、オンしたときに前記垂直TMR素子の他方の端子が接地されるように前記垂直TMR素子と接続されている半導体スイッチング素子とがメモリセルとして構成され、

前記メモリセルから情報を読み出す場合には、前記第2の書き込み線に電流を流し、前記半導体スイッチング素子をオンとしたときの前記第2の書き込み線の電位の値を前記メモリセルの読み出し値とする。

【0019】

本発明の磁性薄膜メモリ装置では、面内磁界を発生するための書き込み線とメモリセルとを電氣的に接続することにより、その書き込み線を読み出し線として兼用することが可能となり、これによってメモリ駆動に必要な配線数を削減して、高集積化を実現することができる。

【0020】

【発明の実施の形態】

次に、本発明の一実施形態の磁性薄膜メモリ装置を図面を参照して詳細に説明する。図1は、本実施形態の磁性薄膜メモリ装置の主に情報記憶に関係する部分

の構成を示す回路図である。図 1 に示すように、本実施形態の磁性薄膜メモリ装置は、 $3 \times 3$  のマトリクス状に配置されたメモリセル  $C11 \sim C13$ 、 $C21 \sim C23$ 、 $C31 \sim C33$  と、読み出し・書き込み兼用の第 2 の書き込み線であるビット線  $BL1 \sim BL3$  と、読み出し用のワード線  $WL1 \sim WL3$  と、第 1 の書き込み線である書き込み線  $WWL1 \sim WWL3$  とを有している。ビット線  $BL1 \sim BL3$  は、互いに平行に、メモリセルの各行毎に配線されている。ワード線  $WL1 \sim WL3$  は、互いに平行で、ビット線  $BL1 \sim BL3$  と交差してメモリセルの各列毎に配線されている。書き込み線  $WWL1 \sim WWL3$  は互いに平行であり、ワード線  $WL1 \sim WL3$  と平行にメモリセルの各列毎に配線されている。書き込み線  $WWL1 \sim WWL3$  とビット線  $BL1 \sim BL3$  とは、互いに交差するように、かつ交差点では絶縁層によって電氣的に絶縁されるように配線されている。

#### 【0021】

メモリセル  $C11 \sim C33$  は、それぞれ電界効果型トランジスタ  $T11 \sim T33$  と、強磁性体の磁化方向を選択することにより電気抵抗値が変化する TMR 素子  $r11 \sim r33$  とを有している。TMR 素子  $r11 \sim r33$  は、厚さ  $0.5 \sim 2 \text{ nm}$  の薄いアルミニウム酸化膜を、2 層の垂直方向（厚さ方向）に磁化容易軸を有するフェリ磁性体で挟んだ構造となっている垂直 TMR 素子である。垂直方向（厚さ方向）に磁化容易軸を有するフェリ磁性体としては、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）のいずれかを含む  $GdFe$ 、 $GdFeCo$ 、 $TbFeCo$ 、 $DyFe$ 、 $DyFeCo$  等がある。TMR 素子  $r11 \sim r33$  では、記憶される情報は、2 層の磁性層の一方をメモリ層とし、そのメモリ層の磁化方向によって決定される。メモリ層の磁化方向は、反転磁界以上の外部磁界が印加されない限り保存されるので、TMR 素子  $r11 \sim r33$  は、不揮発性のメモリとして動作する。TMR 素子  $r11 \sim r33$  では、2 つの磁性層の磁化方向が同じ（平行）である場合と、反対（反平行）である場合とで抵抗値が異なるので、アルミニウム酸化膜を介して流れるトンネル電流値の差異を検出することによって、記憶された情報の読み出しが行われる。

#### 【0022】

メモリセル  $C11$  では、電界効果型トランジスタ  $T11$  のドレインと、TMR

素子  $r_{11}$  の一方の端子とは接続されている。同様に、メモリセル  $C_{12} \sim C_{33}$  は、電界効果型トランジスタ  $T_{12} \sim T_{33}$  のドレインと、それに対応する TMR 素子  $r_{12} \sim r_{33}$  の一方の端子とがそれぞれ接続された構成となっている。また、TMR 素子  $r_{11}$ 、 $r_{12}$ 、 $r_{13}$  の他方の端子は、ビット線  $BL_1$  に接続されている。同様に、TMR 素子  $r_{21}$ 、 $r_{22}$ 、 $r_{23}$  の他方の端子は、ビット線  $BL_2$  に接続され、TMR 素子  $r_{31}$ 、 $r_{32}$ 、 $r_{33}$  の他方の端子は、ビット線  $BL_3$  に接続されている。

## 【0023】

電界効果型トランジスタ  $T_{11}$ 、 $T_{21}$ 、 $T_{31}$  のゲート端子は、読み出し用のワード線  $WL_1$  に接続されており、ソース端子は接地されている。同様に、電界効果型トランジスタ  $T_{12}$ 、 $T_{22}$ 、 $T_{32}$  のゲート端子は、別の読み出し用のワード線  $WL_2$  に接続され、電界効果型トランジスタ  $T_{13}$ 、 $T_{23}$ 、 $T_{33}$  のゲート端子は、さらに別の読み出し用のワード線  $WL_3$  に接続され、それらのソース端子は接地されている。

## 【0024】

書き込み線  $WWL_1 \sim WWL_3$  には、双方向に電流を流すために、それぞれ4個の電界効果型トランジスタ  $Tw_{11} \sim Tw_{14}$ 、 $Tw_{21} \sim Tw_{24}$ 、 $Tw_{31} \sim Tw_{34}$  で構成される駆動回路が接続されている。また、ビット線  $BL_1 \sim BL_3$  には、書き込み時に電流を流すための、それぞれ2個の電界効果型トランジスタ  $Tb_{11} \sim Tb_{12}$ 、 $Tb_{21} \sim Tb_{22}$ 、 $Tb_{31} \sim Tb_{32}$  で構成される駆動回路が接続されており、読み出し時に使用されるセンスアンプ  $SA_1$ 、 $SA_2$ 、 $SA_3$  が電界効果型トランジスタ  $Ts_1$ 、 $Ts_2$ 、 $Ts_3$  を介してそれぞれに接続されている。センスアンプ  $SA_1$ 、 $SA_2$ 、 $SA_3$  のもう一方の入力には、参照電位が入力される。

## 【0025】

電界効果型トランジスタ  $Tw_{11} \sim Tw_{14}$ 、 $Tw_{21} \sim Tw_{24}$ 、 $Tw_{31} \sim Tw_{34}$  はスイッチング素子であり、対角にある電界効果型トランジスタ（例えば、 $Tw_{21}$  では、 $Tw_{24}$ ）が同時にオンすると、対応する書き込み線（ $Tw_{21}$ 、 $Tw_{24}$  の場合は、 $WWL_2$ ）に電流を流すことができ、この電流によ

って、TMR素子（例えば  $r_{22}$ ）に垂直方向の磁界が印加されるようになる。

【0026】

電界効果型トランジスタ  $T_{b11} \sim T_{b12}$ 、 $T_{b21} \sim T_{b22}$ 、 $T_{b31} \sim T_{b32}$  もスイッチング素子であり、同一ビット線に接続された電界効果型トランジスタ（例えば、 $T_{b21}$  と  $T_{b22}$ ）が同時にオンすると、そのビット線（ $T_{b21}$  と  $T_{b22}$  の場合は、 $BL_2$ ）に電流を流すことができ、この電流によって、TMR素子（例えば、 $r_{22}$ ）に、面内方向の磁界が印加されるようになる。以上の動作により、垂直・面内磁界が同時に印加されたTMR素子のメモリ層は磁化反転可能となり、情報記憶、すなわち書き込み動作可能となる。なお、上述の回路は、半導体基板上に形成されている。

【0027】

本実施形態の磁気薄膜メモリ装置では、この他に、ビット線  $BL_1 \sim BL_3$  や、書き込み線  $WWL_1 \sim WWL_3$  に書き込み電流を流すための制御手段である書き込み駆動回路11を備えている。書き込み駆動回路1は、上述の書き込み動作が可能となるように、スイッチング素子である電界効果型トランジスタ  $Tw_{11} \sim Tw_{14}$ 、 $Tw_{21} \sim Tw_{24}$ 、 $Tw_{31} \sim Tw_{34}$ 、 $T_{b11} \sim T_{b12}$ 、 $T_{b21} \sim T_{b22}$ 、 $T_{b31} \sim T_{b32}$  を駆動する。

【0028】

図2は、本実施形態の磁性薄膜メモリ装置の主に情報読み出しに関する部分の構成を示す回路図である。図2に示すように、本実施形態の磁性薄膜メモリ装置は、図1に示す構成要素の他に、読み出し駆動回路12を備えている。

【0029】

読み出し駆動回路12は、電界効果型トランジスタ  $T_{b11} \sim T_{b31}$  をオン状態とし、センスアンプ  $SA_1 \sim SA_3$  に接続されている電界効果型トランジスタ  $T_{s1} \sim T_{s3}$ 、 $T_{b12} \sim T_{b32}$  をオフ状態として、ビット線  $BL_1 \sim BL_3$  に一定電流を流す。この状態で、読み出し用のワード線  $WL_1 \sim WL_3$  に電圧を印加して、素子選択のトランジスタ  $T_{11} \sim T_{33}$  をオンにすると、TMR素子  $r_{11} \sim r_{13}$  には、電流が流れ、ビット線  $BL_1 \sim BL_3$  の電位が降下する。この電位降下量は、TMR素子  $r_{11} \sim r_{13}$  の抵抗値に依存する。

## 【0030】

ビット線BL1～BL3の電位は、電界効果型トランジスタTs1～Ts3をオンすれば、センスアンプSA1～SA3に入力される。センスアンプSA1～SA3は、その電位を参照電位と比較する。ビット線BL1～BL3の電位が参照電位よりも高ければ、TMR素子を構成する2層の磁性層の磁化方向が反平行であることを意味し、ビット線BL1～BL3の電位が参照電位よりも低ければ、TMR素子を構成する2層の磁性層の磁化方向が平行であることを意味する。以上述べたように、第2の書き込み線であるビット線BL1～BL3は、読み出し線としても用いられる。

## 【0031】

図3は、本実施形態の磁気薄膜メモリ装置の構造を示す断面図である。図3に示すように、p型シリコン基板1上には、SiO<sub>2</sub>から成る埋め込み型の素子分離領域3と、スイッチング素子として機能する電界効果型トランジスタT11～T33のn型拡散領域20（ソース）、21（ドレイン）と、SiO<sub>2</sub>ゲート絶縁膜22と、ポリシリコンのゲート電極23とが形成されている。また、さらに、その上には、書き込み線7と、ローカル配線5と、TMR膜4と、ビット線6とが備えられている。ポリシリコンのゲート電極23は、図1に示すワード線WL1～WL3のいずれかに接続されている。

## 【0032】

TMR膜4は、図1のTMR素子r11～r33のいずれかに対応し、ビット線6は、図1のビット線BL1～BL3のいずれかに対応し、書き込み線7は、書き込み線WWL1～WWL3のいずれかに対応する。ローカル配線5は、TiNで構成され、電界効果型トランジスタのドレインとTMR層4の一方の端子とを接続する。ビット線6は、Ti/AlSiCu/Tiで構成されている。

## 【0033】

書き込み線7は、TMR層4に近接し、TMR層4のやや下方に設けられている。つまり、書き込み線7は、TMR層4の積層方向にTMR層4と重ならない位置に、TMR層4の面内方向に平行に配線されている。書き込み線7に双方向の電流を流すことにより、TMR層4には、上向きあるいは下向きの磁界が印加

されるようになる。

【0034】

ビット線6は、TMR層4の直上に、TMR層4の面内方向に平行に配線されているため、ビット線6に流れる電流は、TMR素子に対して水平方向の磁界を発生する。つまり、書き込み線7は、ビット線6よりもP型シリコン基板1側に配線されている。

【0035】

情報の記憶時には、書き込み線7で発生する磁界と同時に印加されることにより、TMR膜4のメモリ層は、書き込み線7に流れる電流によって発生する磁界の方向に磁化される。なお、TMR層4の面内であれば、面内磁界の方向は任意でよい。したがって、書き込み線7に流れる電流によって生じる磁界の方向に関わらず、常に一定方向の面内磁界を発生させればよい。つまり、ビット線6には一方向の電流を流せばよいので、図1に示すように、ビット線6に接続される駆動回路を、電界効果型トランジスタ2つだけとして簡略化することができる。なお、情報の読み出し時には、電界効果型トランジスタをオンにして、ビット線6を介してTMR層4に電流を流すことにより、ビット線6の電位がTMR層の抵抗値に応じた大きさに降下する。

【0036】

以上述べたように、本実施形態の磁性薄膜メモリ装置では、垂直方向に磁化容易軸を有する磁性層で構成された垂直TMR素子に情報を書き込む際には、垂直磁界と面内磁界とを同時に垂直TMR素子に印加する。そのため、書き込み線に流す電流の大きさを大幅に低減化することができる。また、2本の書き込み線のうち、1本を、読み出し線として兼用することによって、メモリ駆動に必要な配線数を4本から3本に削減することができる。さらに、面内磁界の方向は常に1方向でよいいため、面内磁界を発生させるための駆動回路の構成を簡略化することができる。

【0037】

なお、本実施形態の磁気薄膜メモリ装置では、ビット線6がTMR層4の直上、書き込み線7がTMR層4の下部磁性層の底面より下側であるとしたが、本発

明はこれに限定されるものではなく、ビット線 6 が TMR 層 4 の直下にあってもよいし、書き込み線 7 が TMR 層 4 の上部磁性層の上面より上側にあってもよい。書き込み線 7 は、TMR 層 4 とほぼ同一平面上に配線されているのが望ましい。

#### 【0038】

また、本実施形態の磁気薄膜メモリ装置は、高速書き換え可能な不揮発メモリであるため、携帯用通信機器、パーソナルコンピュータ機器などの内蔵メモリに適している。本実施形態の磁気薄膜メモリ装置をこれらのワークメモリとして使用すれば、バックアップ電源や、キャッシュメモリ、バッファメモリを備える必要がなくなるため、処理の中断・再開を直ちに実行することができ、機器の小型化やコストダウンを実現することができる。また、携帯用通信機器のプログラムメモリとして一般使用されている NOR 型フラッシュメモリに比べて、数桁高速に書き換え可能であるため、携帯用通信機器、携帯用パーソナルコンピュータなどの携帯型情報処理装置の処理性能を飛躍的に向上させることができる。

#### 【0039】

##### 【発明の効果】

以上述べたように、本発明の磁性薄膜メモリ装置は、以下に示す効果を有する。

- (1) 垂直方向に磁化容易軸を有する磁性層で構成された垂直 TMR 素子に情報を書き込む際には、垂直磁界と面内磁界とを同時に垂直 TMR 素子に印加する。そのため、書き込み線に流す電流の大きさを大幅に低減化することができる。
- (2) 2 本の書き込み線のうち、1 本を、読み出し線として兼用することによって、メモリ駆動に必要な配線数を 4 本から 3 本に削減することができる。
- (3) 面内磁界の方向は常に 1 方向でよいとため、面内磁界を発生させるための駆動回路の構成を簡略化することができる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の一実施形態の磁性薄膜メモリ装置の主に情報記憶に関する部分の構成を示す回路図である。

【図 2】

本発明の一実施形態の磁性薄膜メモリ装置の主に情報読み出しに関する部分の構成を示す回路図である。

【図 3】

本発明の一実施形態の磁気薄膜メモリ装置の構造を示す断面図である。

【図 4】

書き込み線とメモリセルとの位置関係を示す図である。

【図 5】

垂直磁気異方性を有する磁性膜に対して、外部磁界を垂直方向および面内、垂直両方向から印加した際に、磁性層の垂直方向を向いている磁界の向きを反転させるのに必要な磁界の大きさを表すグラフである。

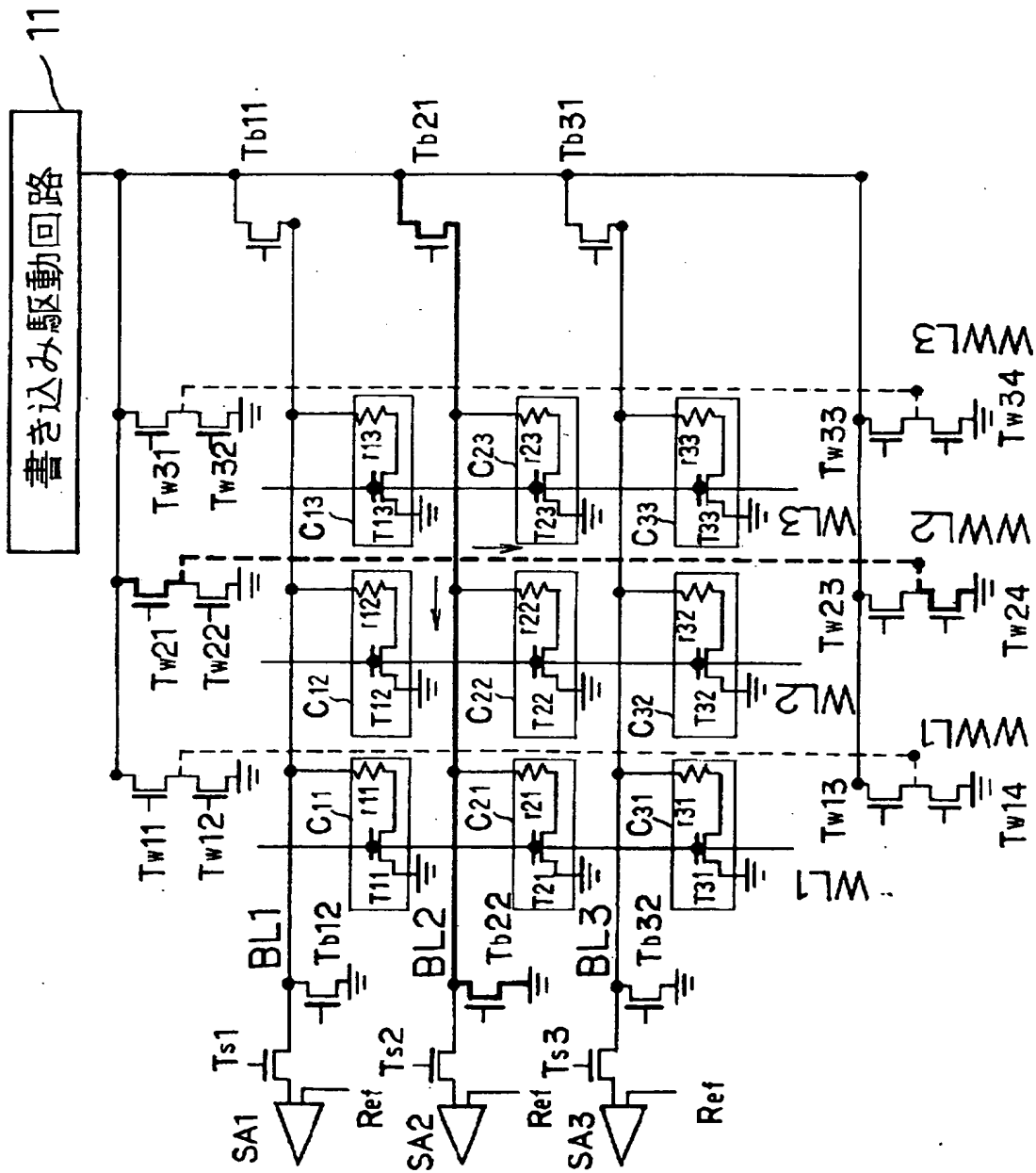
【符号の説明】

- 1     p 型シリコン基板
- 3     素子分離領域
- 4     TMR 層
- 5     ローカル配線
- 6     ビット線 (B L 1 ~ B L 3)
- 7     書き込み線 (W L 1 ~ W L 3)
- 1 1     書き込み駆動回路
- 1 2     読み出し駆動回路
- 2 0     n 型拡散領域 (ドレイン)
- 2 1     n 型拡散領域 (ソース)
- 2 2     ゲート絶縁膜
- 2 3     ゲート電極

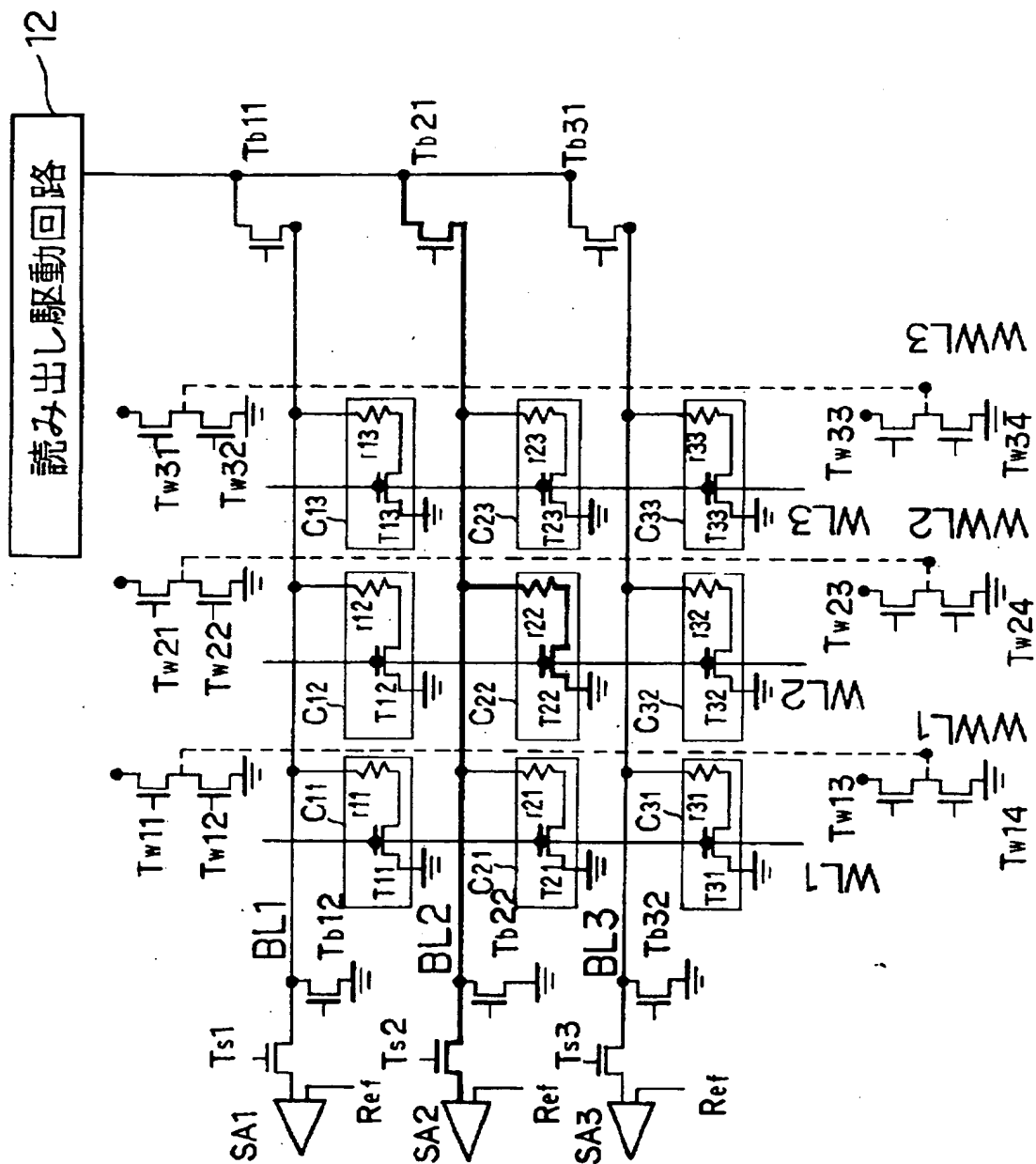


【書類名】 図面

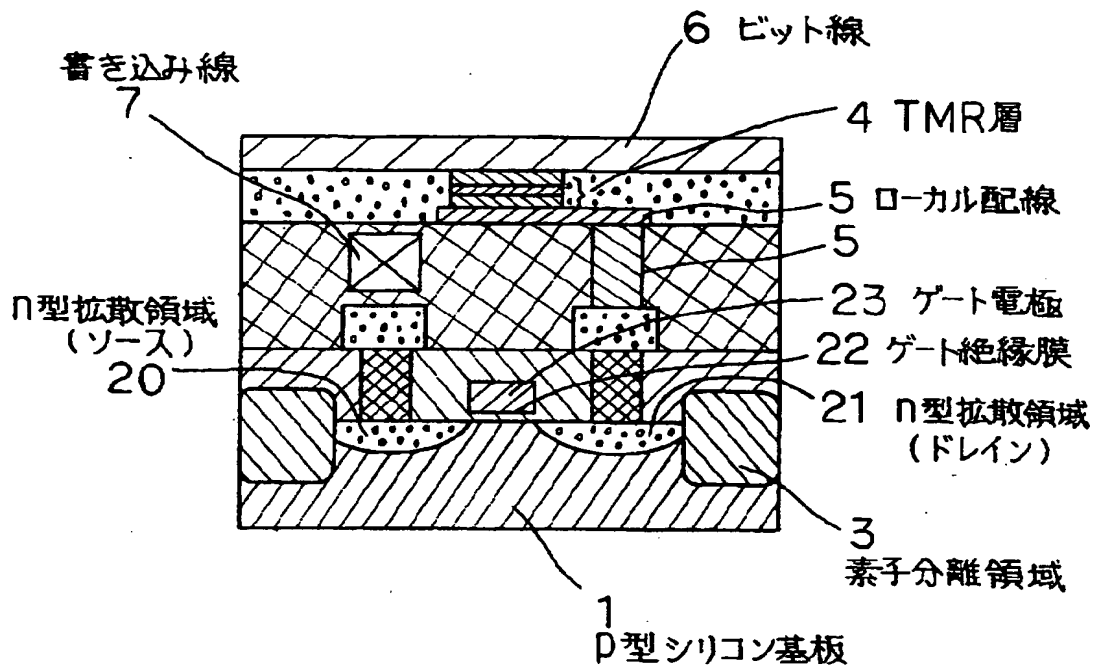
【図 1】



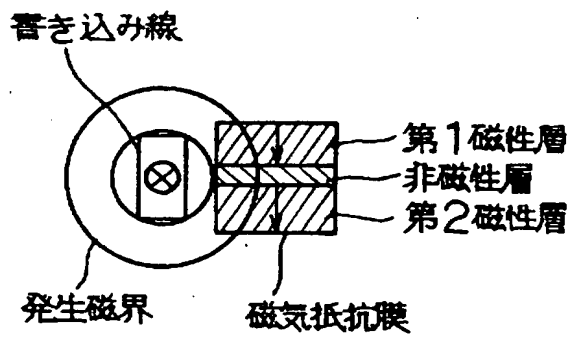
【図 2】



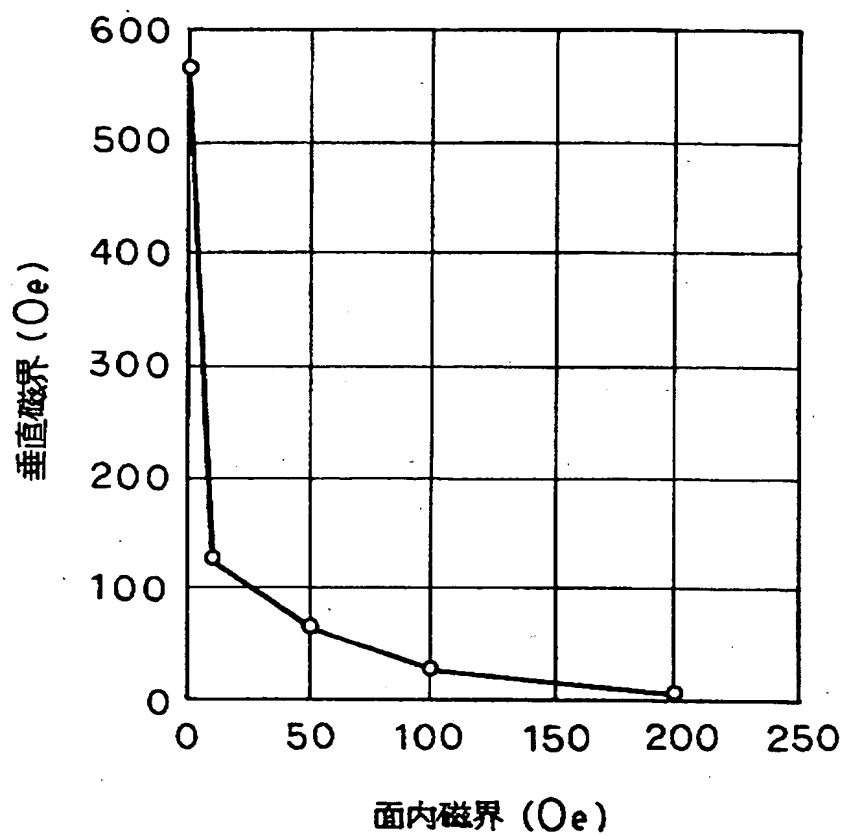
【図3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 高集積化、低消費電力化を図ることができる磁性薄膜メモリ装置を提供する。

【解決手段】 書き込み線 7 による垂直磁界と、ビット線 6 による面内磁界とを同時に TMR 層 4 に印加することによって、書き込み線 7 に流れる電流を大幅に低減する。面内磁界を発生するためのビット線 6 は、メモリセル C 1 1 ~ C 3 3 の直上に積層される。また、ビット線 6 を、読み出し線として兼用する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社